

Passivierung tiefer isolierender Trenngraeben mit versenkten Abdeckschichten

Die Erfindung betrifft ein Verfahren zur Bearbeitung oder Behandlung von Halbleiterscheiben mit isolierenden Trenngraeben, für eine Herstellung integrierter Halbleiterschaltungen, insbesondere mit dem Ziel der Verringerung der Verbiegung der Prozeßscheiben, wodurch die Entstehung störender Kristallbaufehler im weiteren Prozeßverlauf verhindert wird. Auch das product by process Produkt ohne Stufen in der Deckschicht ist beansprucht.

Zur Integration von Niederspannungs-Logikelementen und Hochspannungs-Leistungselementen in ein und demselben Siliziumschaltkreis ist es nötig, Chipbereiche mit unterschiedlichen Potentialen voneinander zu isolieren. Eine Möglichkeit dazu ist die sogenannte dielektrische Trenngraebenisolation (dielectric trench isolation). Dabei wird eine erste vertikal wirkende Isolation zwischen Bauelement und Substrat durch eine vergrabene isolierende Schicht realisiert (üblicherweise bestehend aus Siliziumdioxid: SiO₂, prinzipiell aber auch andere isolierende Schichten). Eine weitere lateral wirkende (vertikale) Isolation wird durch das Ätzen eines Grabens (Trench) bis auf die vergrabene isolierende Schicht einer SOI-Scheibe und ein anschließendes Wiederauffüllen dieses tiefen Grabens mit isolierenden Schichten (isolierender Trenngraeben) erreicht. Dabei kann auch nur ein Teil oder lateraler Abschnitt des geätzten Grabens durch isolierendes Material aufgefüllt werden, das restliche Auffüllen des Grabens kann dann auch durch zumindest eine leitende Füllschicht (z.B. Polysilizium) erfolgen.

Durch sogenannte Planarisierungsschritte, z.B. geeignete Ätzverfahren oder chemisch mechanisches Polieren, wird eine Einebnung der Oberfläche erreicht.

Den repräsentativen Stand der Technik findet man z.B. in **EP-A 1 184 902** und **EP-A 1 220 312**. Der Arbeitsschritt zur Herstellung des isolierenden Trenngraebens liegt mitten im Prozeßablauf, d.h. es folgen weitere Hochtemperaturschritte. Während des nachfolgenden weiteren Fertigungsprozesses werden auch Oxidationsschritte zur Erzeugung von thermischen Oxidschichten benötigt. Dabei kommt es jedoch auch zu einer Oxidation an den vertikalen Seitenwänden innerhalb des isolierenden Trenngraebens. Bei der üblichen Verwendung von Polysilizium als Füllschicht kommt es zusätzlich zu einer Oxidation des Polysiliziums an der Oberfläche, aber auch innerhalb des verfüllten isolierenden Trenngraebens.

Aufgrund des größeren spezifischen Volumens des entstehenden Siliziumdioxids gegenüber dem des Polysiliziums kommt es zu erheblichen Druckspannungen in den oberflächennahen Bereichen der verfüllten Trenngräben und damit zu einer Aufweitung der Trenngräben, bzw. zu einer Verbiegung der Siliziumscheiben und zur Entstehung von Kristalldefekten in den angrenzenden monokristallinen Siliziumbereichen. Die
5 Kristalldefekte verschlechtern die Kenndaten der Bauelemente bzw. führen zu erhöhtem Ausschuß. Die Verbiegung wirkt sich negativ auf die Prozessierbarkeit der Halbleiterscheiben aus und führt auch darüber zu erhöhtem Ausschuß. Aus diesem Grund werden die Grabenbereiche mit einer sauerstoffundurchlässigen Schicht bzw.
10 einem entsprechenden Schichtsystem abgedeckt, so wie es aus **US-A 5,933,746** bekannt ist. Solche Abdeckungen sind auch in den Schriften **US-A 5,581,110**, **US-A 2002/0025654**, **JP-A 2000-183156** und **JP-A 63-003429** beschrieben. Der Nachteil der so bekannten strukturierten Abdeckschichten liegt darin, daß diese über die planare Oberfläche hinausragen, was im weiteren Bearbeitungsprozeß mit
15 Nachteilen verbunden ist. Die Schichten bilden eine Stufe, die z.B. die Ausbildung von darüber hinwegführenden Leitbahnen stört, z.B. durch deren reduzierte Dicke an den Kanten. Die Abdeckschichten werden ferner durch einen zusätzlichen fotolithographischen Schritt definiert und anschließend geätzt, d.h. es muß zum einen eine Fotomaske erstellt und auf die Scheibe aufgebracht werden und es besteht zum
20 anderen die Gefahr einer seitlichen Fehljustierung der Fotomaske.

Es ist **Aufgabe der Erfindung**, eine Verfahrensweise für die Erzeugung von Isoliergräben in SOI-Halbleiterscheiben anzugeben, welche die Nachteile der über die planare Halbleiteroberfläche hinausragenden Abdeckung der Isoliergräben beseitigt und
25 hinsichtlich einer Fotolithographie eine Vereinfachung des Verfahrensgangs ermöglicht. Außerdem sind die Ausbeutesteigerung und eine Erhöhung der Zuverlässigkeit von integrierten Schaltkreisen, die neben Niederspannungs-Logikelementen auch Hochspannungs-Leistungselemente enthalten, zu beachten und zu erfüllen.

Die erfindungsgemäße Lösung schlägt ein Verfahren zur Herstellung einer Prozess-Scheibe vor, wobei die Herstellung die Behandlung oder Bearbeitung einer vorhandenen SOI-Scheibe ist, durch Einbringen von spezifisch ausgebildeten Trenngräben (Ansprüche 1, 27, 31). Diese ermöglichen es, unterschiedliche Chipbereiche, welche in die aktive Halbleiterschicht eingebracht sind oder eingebracht
30 werden, potentialmäßig besser zu trennen. Der eine Chipbereich kann auf einem Potential und der andere Chipbereich auf einem anderen Potential liegen, wobei diese Potentiale einen sehr hohen Unterschied als Spannung bzw. Potentialdifferenz aufweisen können, so dass Niederspannungs-Logikelemente in einem Bereich und

Hochspannungs-Leistungselemente in einem benachbarten anderen Bereich vorgesehen sein können. Beide werden als "Elemente" in halbleitertechnischer Hinsicht als "Bauelemente" angesprochen und hier nicht weiter erläutert, da sie nach gängigen Methoden des Standes der Technik hergestellt werden können.

5 Die dielektrische Trennung erfolgt durch isolierende Gebiete, welche zumindest einen Graben, bevorzugt aber eine Vielzahl von Gräben aufweisen, welche die Chipbereiche voneinander trennen. Ausgehend von einer planaren Oberfläche, von der herab sich die Gräben erstrecken, reichen sie bis zu einer horizontal liegenden vergrabenen
10 Isolierschicht, die bei SOI-Wafern vorhanden ist. Die Trenngräben weisen zumindest ein oxidierendes Material auf, beispielsweise ein zur Verfüllung dienendes Polysilizium, welches bei sauerstoffhaltiger Atmosphäre und bei einer Temperatur oberhalb der Raumtemperatur oxidiert. Die sauerstoffhaltige Atmosphäre erhält durch eine erfindungsgemäß eingebrachte Decke, welche in den oberen Bereich des Grabens
15 abgesenkt ist, keinen Zugang zu den (isolierenden) Bereichen der Grabenverfüllung. Trotz dieser Deckschicht kann die Oberfläche planar ausgestaltet werden, also sowohl oberhalb des Grabens wie auch daneben und lateral davon beabstandet in den zumindest sich randseitig des Grabens erstreckenden Bereichen bis hin über die gesamte Oberfläche der aktiven Halbleiterschicht des SOI-Wafers.

20 Wenn dabei - bei dem Herstellprozess - "Hauptarbeitsgänge" genannt sind, so ist das so zu verstehen, dass diese Arbeitsgänge hier in den Vordergrund gestellt werden, bezogen auf das Ziel und die hier beschriebene und beanspruchte Erfindung, gleichwohl sollen andere Arbeitsgänge, wie das Einbringen und Prozessieren der
25 Niederspannungs-Elemente und Hochspannungs-Elemente oder das Ätzen der Grabenstruktur nicht ausgeschlossen werden.

Es sind folgende Hauptarbeitsvorgänge vorgesehen, wenn die Bearbeitung oder Behandlung der Halbleiterscheibe in einem zeitlichen Abschnitt ihres gesamten
30 Prozessablaufs hier herausgestellt wird. Es wird dabei nur ein Trenngraben herausgestellt, obwohl in einer prozessierten Wafer-Scheibe eine Vielzahl solcher Trenngräben vorhanden sind, die mehrere Gebiete für Hochspannungs- und Niederspannungselemente voneinander elektrisch isolieren. Zumindest einer dieser Gräben ist Gegenstand der Umschreibung und Beanspruchung, wobei dieses ohne
35 weiteres auch auf eine Vielzahl solcher Gräben erstreckt werden kann.

Zumindest einer der vorhandenen Trenngräben wird mit Isolierschichten versehen, welche vertikalen Isolierschichten in die Tiefe des Grabens herabreichen, bis hin zur

horizontalen (vergrabenen) Isolierschicht. Gleichzeitig entsteht eine horizontale Isolierschicht auf der Oberseite der aktiven Halbleiterschicht. Die Verfüllsubstanz hat eine tiefste Einsenkung, welche noch oberhalb über einem Niveau der horizontalen Isolierschichten gelegen ist. Es entsteht also auch ein horizontaler Abschnitt der abgeschiedenen Verfüllsubstanz, die nicht nur den Trenngraben auffüllt, sondern auch oberhalb der horizontalen Isolierschichten zu liegen kommt und hier eine Verfüllsubstanz-Schicht bildet. Insoweit kann auch allgemeiner von "Erzeugung von Isolierschichten" gesprochen werden, die horizontale und vertikale Anteile bzw. Flächenabschnitte besitzen. Beide werden durch das Füllen des zumindest einen Trenngrabens bedeckt.

In einem weiteren Verfahrensschritt wird eine Planarisierung dieser Verfüllsubstanz-Schicht vorgenommen. Dieses ist eine "erste Planarisierung". Anschließend erfolgt eine definierte Rückabtragung, insbesondere ein definiertes Zurückätzen (Rückätzen), welches die Verfüllsubstanz im Grabeninneren betrifft, also unterhalb der planaren Oberfläche, welche durch die horizontalen Abschnitte der Isolierschicht gebildet wird. Dieses Abtragen in den Graben hinein sorgt für eine Reduzierung der Füllhöhe des Grabens mit der oxidierungs-empfindlichen Verfüllsubstanz. Dieses Abtragen wird auch als ein Über-Abtragen bezeichnet, welches bis in eine "definierte erste Tiefe" des Grabens reicht, jedenfalls weit oberhalb des Grabenbodens und nur im oberen Abschnitt, bevorzugt oberhalb der Hälfte der Grabentiefe oder sogar weit oberhalb dieser hälftigen Tiefe (Anspruch 21, 22). Das Verfahren ist also für besonders tiefe Gräben geeignet (Anspruch 23, 24 und 25), die sich durch die gesamte aktive Halbleiterschicht bis zur vergrabenen Isolierschicht erstrecken, und nicht nur ein Stück weit in ein Halbleitersubstrat hinein. Damit kann Hochspannung von Niederspannung in unterschiedlichem Chipbereichen zuverlässig getrennt werden, bei einer Vermeidung von Oxidationseinflüssen an der Oberfläche des Grabens, wenn dieser Graben mit einem oxidations-empfindlichem Werkstoff gefüllt ist.

Um die für die Oxidationssperre vorgesehene Deckschicht in den Graben einzubringen bzw. unter die planare Oberfläche der aktiven Halbleiterschicht abzusenken, erfolgt ein Abtragen eines Stücks der Isolierschichten und ein weiteres Abtragen eines weiteren Stücks der Verfüllschicht.

Hier sind jeweils die vertikalen Anteile dieser Schichten betroffen oder gemeint, um ein annähernd gleiches Höhenniveau dieser Schichten im Trenngraben zu erhalten oder durch das zusätzliche Abtragen zu erreichen. Hinsichtlich der horizontalen Isolierschichten werden diese ebenfalls mit-abgetragen, so dass eine Oberfläche der

aktiven Halbleiterschicht freiliegt. Dieses Über-Abtragen, insbesondere eine definierte Überätzung schafft im Graben einen oben am Grabenrand liegenden Raum zur Aufnahme einer nun einzubringenden Deckschicht, die als Schicht oder Schichtsystem nach dem Auftrag über das Niveau der planaren Oberfläche hinausragt, aber nach unten bis zum annähernd gleichen Höhenniveau im Graben reicht, gestützt von den übrigen vertikalen Schichten im Graben, einer Verfüllschicht und einer beidseitig liegende Rest-Isolierschicht.

Nach dem Auftragen dieser Abdeckschicht, die zunächst umfangreicher aufgetragen wird als später benötigt, erfolgt ein weiteres Planarisieren. Dieses weitere Planarisieren reduziert die Decke, als funktionelle Umschreibung einer Schicht oder eines Schichtsystems, durch planares Abtragen, wie mit einem mechanisch-chemischen Polierprozess oder durch einen Lackplanarisierungs-Prozess, um wiederum die Oberfläche der aktiven Halbleiterschicht freizulegen, den Graben nach oben oxid-hemmend abzudecken und dennoch eine umfangreich sich erstreckende planare Oberfläche zu schaffen, insbesondere im Bereich des und um den Graben herum, so dass keine Stufen entstehen, welche die Ausbildung von horizontalen Leiterbahnen erschweren würden.

Alle beschriebenen Prozessschritte werden ohne einen zusätzlichen photolithographischen Schritt ermöglicht; die einzige Photomaske, welche benötigt wird, wird zur Herstellung der Gräben, hier des zumindest einen umschriebenen Grabens eingesetzt. Neben dem Fortfall weiterer Photomasken ist es auch nicht mehr erforderlich, diese mehreren photolithographischen Prozesse aufeinander zu justieren, so dass seitliche Fehljustierungen von Photomasken entfallen. Oxidationen können im oberen Bereich des Grabens nicht mehr stattfinden, thermische Spannungen werden vermieden (Anspruch 6), jedenfalls deutlich reduziert. Weitere Hochtemperaturschritte können sich an die Herstellung der Grabenstruktur anschließen, ohne Gefahr des Auftretens von thermischen Spannungen als Folge von entstehenden Oxidationen im Graben-Oberbereich. Die Prozessierbarkeit der Scheibe wird verbessert, so dass auch die Ausbeute gesteigert werden kann.

Wenn mehrere Schichten als Schichtsystem eingesetzt werden, kann zumindest eine der mehreren Schichten besonders ausgebildet werden. Dabei kann zum einem eine Getterfähigkeit von Ionen beachtet werden, wie auch ein bestimmter Ausdehnungskoeffizient. Die abgesenkte Abdeckung des Trenngrabens erlaubt es, eine gegenseitige negative Beeinflussung von Schaltungsbereichen und Grabenbereichen auszuschließen, so das Vermeiden des Wanderns von Ionen. Eine Schichtkomponente

kann auch zur Einstellung des Ausdehnungs-Koeffizienten des Gesamtsystems dienen (Anspruch 2, Anspruch 4).

Besonders vorteilhaft ist die Verwendung von Siliziumnitrid als sauerstoff-
5 undurchlässige Deckschicht (Anspruch 3).

Das durch das Verfahren hergestellte Produkt oder Zwischenprodukt als prozessierte
Scheibe oder Prozessscheibe im Sinne einer zumindest teilweise bearbeiteten SOI-
Halbleiterscheibe ist Gegenstand des Anspruchs 26. Hier werden die strukturellen
10 Eigenschaften der durch Anspruch 1 geprägten Prozessscheibe als gegenständlicher
Schutz beansprucht. Der Fachmann ist in der Lage, die Struktur der durch das
Verfahren behandelten oder bearbeiten Wafer-Scheibe aus Anspruch 1 zu erkennen, so
dass ein Bezug auf das Herstellprodukt eines Arbeits- und Herstellverfahrens möglich
ist.

15 Anspruch 28 umschreibt in Klarschrift die strukturellen Merkmale ohne "Prozess".

Ein alternatives Verfahren gibt in weniger Worten und knapperer Darstellung die
Verfahrensabfolge wieder (Anspruch 31), zugehörige Ausgestaltungen sind
20 Gegenstand der diesbezüglich abhängigen Ansprüche.

Die durchgehend flache Oberfläche bezieht sich auf die Deckschicht und die
benachbarten Bereiche, die für Niederspannung und Hochspannung vorgesehene
Chipbereiche sind (Anspruch 7). Die Ebene verläuft flach und bildet keine Stufen. Die in
25 den Graben abgesenkte Deckschicht bildet auch eine lateral wirkende elektrische
Isolation, die über die gesamte Grabenbreite hinweg reicht, ohne dass vertikale
Isolierschichten an den Grabenwänden im Höhenbereich dieser Deckschicht beteiligt
sind (Anspruch 13). Letztere Isolationen werden beispielsweise durch thermische
Oxidation aufgebracht, und später hinsichtlich des horizontalen Anteils ganz
30 abgetragen, hinsichtlich des vertikalen Anteils aber nur ein Stück weit, um für die
abgesenkte Deckschicht Platz zu machen (Anspruch 8, Anspruch 10). Das
Rückabtragen ist definiert und erfasst damit nur ein kleineres Stück der vertikalen
Abschnitte (Anspruch 12) im Graben. Dennoch erfolgt das Abtragen im Graben auf der
gesamten Grabenbreite zwischen den beiden Grabenwänden, welche von den
35 benachbarten Abschnitten der aktiven Halbleiterschicht bestimmt sind (Anspruch 10).

Es versteht sich, dass die Deckschicht dielektrisch isolierend ist. Es versteht sich auch, dass die Deckschicht eine Oxidsperre für den darunter befindlichen Füllwerkstoff bildet. Diese Deckschicht wird ohne eine Maske hergestellt (Anspruch 12).

- 5 Eine dielektrische Isolierung mit Trenches wird zwar auch von der **US-A 2003/0013272** (Hong) oder von der **US-A 2003/0235975** (Tran) erreicht. Hier enden die Gräben bzw. deren Tiefe aber im homogenen Halbleitermaterial, und im Endstadium des Herstellungsprozesses wird meist eine dem Oberflächenniveau der Halbleiterscheibe entsprechende durchgängige planare Oberfläche nicht erreicht. In erster Schrift bleibt
10 die freie Oberfläche von einer Doppelschicht bedeckt und ist nicht planar. In der zweitgenannten Schrift werden die Trenches zur Trennung von Gebieten verwendet, die unterschiedlich dotiert sind. Diese sind nicht für unterschiedliche Potentiale, wie Hochspannung und Niederspannung vorgesehen, bzw. zur Aufnahme von Leistungselementen und Logikelementen, so dass die Gräben in Abmessung und
15 Ausführung auch ganz anderen, dort sehr reduzierten Potentialdifferenzen im Stand der Technik standhalten müssen.

Die Erfindung anhand von Ausführungsbeispielen mit zwei Halbleiterscheiben unter Zuhilfenahme der Zeichnung erläutert und ergänzt.

Figur 1 veranschaulicht einen Stand der Technik.

Figur 2 zeigt ein Beispiel eines erfindungsgemäß abgedeckten Grabens.

Figur 3a bis

Figur 3f sind Stationen von Hauptverfahrensschritten einer Isoliergrabenherstellung mit einem planaren Abschluss der sauerstoffundurchlässigen Abdeckschicht, wie z.B. in Figur 2 dargestellt.

Figur 4 ist eine im Größenmaßstab realisierte Grabenstruktur.

Figur 1 veranschaulicht einen Trenngraben im vertikalen Schnitt einer SOI-Scheibe, bei dem Abdeckschichten 8,9 vorgesehen sind. Die Abdeckschichten 8 und 9 liegen auf der planaren Oberfläche F' der aktiven Halbleiterschicht 3, wodurch eine nachteilige Stufe bei Fx entsteht. Der isolierende Trenngraben T trennt zwei Gebiete unterschiedlicher Potentiale, wobei diese Gebiete 6,7 dargestellt sind, aber die unterschiedlichen Potentiale erst in der Anwendung einer fertig prozessierten und zu Bauteilen vereinzelter Scheibe mit den zugehörigen Halbleiterelementen entsteht. Außer dem Graben T wird eine dielektrische Isolation von der vergrabenen isolierenden Schicht 2 und den beiden Isolierschichten 4a,4b, gemeinsam als "Isolierschichten 4" erreicht. Die planare Oberfläche F' der aktiven Halbleiterschicht hat in der abgedeckten Ausführung nach Figur 1 zumindest zwei laterale Stufen, wodurch die eingangs beschriebenen Nachteile entstehen.

Das SOI-Beispiel der Figur 1 zeigt zunächst eine Trägerschicht 1, eine darauf angeordnete Isolierschicht 2 und die aktive Halbleiterschicht 3, die hier bereits durch den Graben T mit seinen vertikalen Isolierschichten 4a,4b und einer Füllschicht 5 strukturiert ist. Dennoch soll diese Schicht 3 durchgehend als aktive Halbleiterschicht benannt werden, mit der vergrabenen Isolierschicht 2, die von den vertikalen Isolierabschnitten 4a,4b der Isolierschicht 4 erreicht wird.

In Figur 2 ist ein Beispiel einer neuen Grabenstruktur gezeigt. Hier ist die Deckschicht 9 so vorgesehen, dass sie mit der planaren Oberfläche F der Halbleiterscheibe eine Ebene bildet, d.h. es existiert keine Stufe oder Kerbe mehr. Insbesondere im Grabenbereich und daneben sind keine Stufen vorgesehen, da die Deckschicht 9 in den Graben abgesenkt ist. Gleiche Bezugszeichen bezeichnen gleiche Elemente, wobei im folgenden ein Herstellungsverfahren beschrieben wird, mit dem die Struktur nach Figur 2 erreicht wird.

In der Verwendung ist der eine Chipbereich 6 und der andere Chipbereich 7 mit Niederspannungs- bzw. Hochspannungselementen strukturiert, welche nach der hier beschriebenen Einbringung einer neuen Grabenstruktur entsteht, durch hier im
5 einzelnen nicht dargelegte Prozessschritte von Halbleiterbauelementen, die aber als allgemein bekannt vorausgesetzt werden können. Es ist lediglich anzugeben, dass ein erstes Potential (P1) dem Chipbereich 6 und ein zweites Potential (P2) dem Chipbereich 7 zugeordnet sind. Diese Chipbereiche sind Abschnitte von der aktiven Halbleiterschicht 3, die bevorzugt aus Silizium ist.

10 Zu der früheren, gestuften, in Figur 1 dargestellten Grabenstruktur ist noch zu sagen, dass die Anordnung des Grabenbereichs T (T steht für "Trench") und der beiden Potentialbereiche P1 (Gebiet 6) und P2 (Gebiet 7) auch festgelegt wird, insoweit besteht kein Unterschied. Lediglich anzumerken ist, dass die gestufte Abdeckung im
15 Stand der Technik mit einer Oxidschicht 8 arbeitet, die den Graben 5, 4a, 4b bzw. die darin enthaltenen Füllschichten abdeckt, und zusätzlich von einer Abdeckung 9' bedeckt ist, welche den isolierten Trenngraben zusätzlich bedeckt, z.B. aus Si₃N₄.

Kurz zusammengefasst soll ein bevorzugtes Verfahren anhand der Figurenreihe der
20 **Figur 3a bis Figur 3f** veranschaulicht werden. Der durch Ätzung bis auf die vergrabene Isolierschicht 2 geschaffene Trenngraben gemäß Figur 3a, hier 5a benannt, wird mit Isolierschichten 4 versehen, z.B. durch eine thermische Oxidation. Es entsteht die Grabenstruktur gemäß Figur 3b. Nach Auffüllen des Grabens 5a', z.B. mit einem Polysilizium 5 über die planare Ebene 4c hinaus, unter Ausbildung einer Struktur nach
25 Figur 3c, wird die Verfüllsubstanz 5 planarisiert und anschließend definiert rückgeätzt, wie Figur 3d zeigt.

Dann folgt eine weitere Rückätzung der Isolierschichten 4 mit einer definierten
30 Überätzung, so dass die beiden Schichten 4 und 5 in etwa gleiches Niveau haben, wie Figur 3e veranschaulicht. Anschließend wird die Abdeckschicht 9 aufgebracht und anschließend planarisiert, wie Figur 3f veranschaulicht. Das kann durch ein mechanisch-chemisches Polieren oder durch einen Lackplanarisierungs-Prozess geschehen, die bekannt und nicht dargestellt sind.

35 Das dargestellte Verfahren benötigt außer der Maske für den Trenngraben 5a, die hier nicht dargestellt ist, keine weiteren fotolithographischen Masken, um die Trenngraben-Abdeckung herzustellen.

Der isolierende Trenngraben kann auch so abgedeckt werden, dass eine gegenseitige negative Beeinflussung der Schaltungsbereiche und des Grabeninnern im weiteren technologischen Prozess ausgeschlossen werden kann, z.B. das Wandern von Ionen. Beim Erzeugen von Schichtsystemen mit entsprechenden Eigenschaften kann auch
5 eine Schichtkomponente zur Einstellung des Ausdehnungs-Koeffizienten des Gesamtsystems dienen.

In einer detaillierten Ausführung wird einerseits das bisherige Verfahren erläutert und ergänzt. Die detaillierte Ausführung kann aber auch so betrachtet werden, dass sie als
10 weiteres Ausführungsbeispiel von alternativen Verfahren angesehen wird, welche in der Lage sind, das Produkt nach Figur 2 herzustellen, dessen reale Größe und Gestalt die Figur 4 veranschaulicht.

Die mit einer ersten Maske hergestellte Grabenstruktur, von der ein Graben im
15 Querschnitt dargestellt ist, ist als Maske nicht gesondert dargestellt, nur das Verfahrensergebnis. Der Graben 5a, der in Tiefenrichtung des Papiers längs verläuft, hat die Tiefe h_0 . Diese trennt den linken Bereich für beispielsweise hohes Potential P1 von dem rechten Bereich für beispielsweise niederes Potential P2. Der Trenchbereich T, welcher den Graben symbolisiert, schafft eine dielektrische Isolation,
20 die im folgenden beschrieben wird. Unterhalb der Chipbereiche 6,7 am Ende der aktiven Halbleiterschicht 3 wird eine horizontal vergrabene Schicht 2 angenommen, die Folge der verwendeten Ausgangsscheibe ist, namentliche eine SOI-Scheibe, die zusätzlich noch eine Trägerschicht 1 besitzt. Die vergrabene Schicht 2 ist durch den Graben bereits ein Stück weit geöffnet, wird aber gemäß den folgenden
25 Verfahrensschritten wieder dielektrisch isolierend geschlossen, um die Potentialdifferenz P1-P2 sperren zu können.

Isolierschichten 4 werden durch thermisch Oxidation nach Figur 3b aufgebracht, so dass der Graben 5a eine reduzierte Breite b_1 erhält. Die vertikalen Abschnitte dieser
30 Isolierschichten sind 4a und 4b, gegenüberliegend und an den Wänden des Grabens aufgebracht. Horizontale Abschnitte 4a' und 4b' gehören zu den Isolierschichten, die auf der freien aktiven Halbleiterschicht 3 aufgebracht werden, zusammen mit den vertikalen Schichtabschnitten. Es entsteht ein in der Breite reduzierter Graben 5a', der tiefer ist, weil die horizontalen Abschnitte 4a', 4b' etwas an vertikaler Höhe auf die Oberseite der
35 aktiven Halbleiterschicht 3 auftragen.

Die beiden zu isolierenden Chipbereiche 6,7 sind durchweg in der gesamten
Figurenfolge 3 unverändert.

Es folgt ein Verfahrensschritt zur Auffüllung des Grabens 5a'. Diese Auffüllung erfolgt so, das zumindest der eine Trenngraben mit einer Verfüllsubstanz gefüllt wird, wobei eine tiefste Einsenkung 5c einer an der Oberfläche gebildeten Verfüllsubstanz-Schicht 5',5" an ihrer Oberseite über einem Niveau 4c der durch die Isolierschichten 4 (deren horizontalen Abschnitten) gebildeten planaren Oberfläche zu liegen kommt. Die Einsenkung ist nicht maßstabgerecht und real dargestellt, sondern nur symbolisch. Ihr tiefstes Niveau 5c hat einen Höhenabstand h6 von der als Bezugsfläche verwendeten planaren Oberfläche 4c. Das Füllen des Trenngrabens mit der Verfüllsubstanz bildet einen ersten Abschnitt 5*, der auch vertikale Verfüllschicht genannt wird. Zwei horizontale Verfüllschichten mit derselben Verfüllsubstanz sind 5' und 5" benannt, diesseits und jenseits des Grabens bzw. oberhalb der diesseitigen horizontalen Isolierschicht 4a' oder der jenseitigen horizontalen Isolierschicht 4b'. Im Grabenbereich 5* hat die horizontale Verfüllschicht eine Einsenkung.

Die Dicke des horizontalen Abschnitts 5',5" der Verfüllsubstanzschicht 5 ist mit h5 benannt und etwas stärker als die Stärke der Isolierschichten 4.

Das Auffüllens des Grabens mit dem vertikalen Abschnitt 5* der Verfüllsubstanz erfolgt mit anderen Worten "über die planare Ebene 4c hinaus", was ein Auftragen der Verfüllsubstanz bedeutet. Diese Angabe, der Erstreckung über die Ebene 4c hinaus, ist durch die Ebene definiert, welche den Abstand h5 in Höhenrichtung besitzt. Dies bezieht sich auf Figur 3c.

In einem nicht dargestellten Zwischenschritt zur Figur 3d werden die horizontalen Abschnitte 5',5" der Verfüllsubstanz-Schicht planarisiert, also abgetragen, so dass die Isolationsschichten, respektive ihre horizontalen Abschnitte 4a',4b' wieder freigelegt werden. Dieses ist die erste Planarisierung.

Es geschieht ein anschließendes definiertes Rückabtragen, insbesondere in Form eines Rückätzens zum Erhalt der Grabenstruktur nach Figur 3d. Dieses Abtragen eines vertikalen Abschnitts der Verfüllsubstanz 5* betrifft ein Stück der Verfüllsubstanz im Grabeninnern und erreicht eine definierte Tiefe h7. Diese Tiefe reicht unter die vorher genannte Bezugsebene 4c, welche jetzt durch die freigelegte Oberseite der horizontalen Abschnitte der Isolierschicht 4 gebildet wird. Die Rückätzung der vertikalen Verfüllschicht erfolgt aber auch tiefer als eine zweite Bezugsebene 4d, welche durch die Oberseite der aktiven Halbleiterschicht 3 definiert wird.

Es entsteht ein Höhenniveau h8 im Graben 5a', welcher von der eingefüllten Verfüllsubstanz, insbesondere einem Polysilizium, eingenommen wird. Die erreichte rückgeätzte definierte Tiefe, wobei das Rückätzmaß mit h7 und das Restmaß mit h8 benannt ist, erreicht nur einen geringen Abschnitt der Tiefe des Grabens nach Figur 3d.

5 Es ist nicht tiefer rückgeätzt als bis zur Hälfte der Grabentiefe, bevorzugt nur etwa $\frac{1}{4}$ der Grabentiefe oder weit weniger, welches in anderen Ausführungsbeispielen erreicht werden kann.

Ein reales Maß veranschaulicht Figur 4.

10 Es folgt dann eine weitere Rückätzung der Isolierschichten 4, wobei hier die horizontalen Isolierschichten 4a', 4b' und ein Stück der vertikalen Isolierschichten 4a, 4b betroffen sind. Mit dieser Rückätzung erfolgt auch eine definierte Überätzung der vertikalen Verfüllschicht 5', so dass im Ergebnis der Figur 3e die drei vertikalen

15 Schichten 4a, 5* und 4b in etwa ein gleiches Höhenniveau besitzen. Diese Höhenniveau erfolgt durch die Rückätzung um das Maß h9, bezogen auf die Oberfläche 4d der aktiven Halbleiterschicht 3. Die tatsächliche Rückätzung zum Erhalt der Figur 3e gegenüber der Figur 3d ist aber größer, nachdem die horizontalen Isolierschichten 4b' und 4a' ebenfalls abgetragen werden.

20 Abgetragen wird also ein Stück der Isolierschichten und ein Stück der vertikalen Verfüllschicht zur Erreichung und Bildung eines Aufnahmebereichs, der zwischen den Grabenwänden liegt und tiefer gelegen ist als die Oberfläche der aktiven Halbleiterschicht 3. Diese tritt nach Figur 3e freigelegt zutage.

25 Die geschaffene Öffnung hat eine Breite b9 und eine Tiefe h9, letztere bezogen auf die Oberfläche 4d. Das Aufbringen einer Deckschicht 9 füllt dieses tiefer gelegte Volumen auf und deckt gleichzeitig die Ebene 4d ab, so dass sie über das Niveau der planaren Oberfläche hinausragt. Das Hinausragen ist in vertikaler Richtung nach oben

30 verstanden, gleichzeitig erstreckt sich die Deckschicht nach ihrer Abscheidung auf die Oberfläche 4d der aktiven Halbleiterschicht 3 auch nach unten, bis zum annähernd gleichen Höhenniveau im Grabenbereich. Letzteres entspricht dem Höhenniveau der Ebene 4d abzüglich h9.

35 Dieser Zwischenschritt ist nicht dargestellt. Dargestellt ist dann das Ergebnis des nächsten Zwischenschritts, bei dem ein abtragendes Planarisieren erfolgt, beispielweise durch eine mechanisch-chemische Polierung oder durch einen Prozess der Lackplanarisierung. Das diesbezügliche Verfahrensergebnis zeigt Figur 3f, wobei das

beschriebene Volumen der Figur 3e mit einer Deckschicht 9 verfüllt ist, gleichzeitig aber die Oberfläche auf dem Niveau 4d eine durchgehende Fläche ergibt, welche mit F bezeichnet ist. Die aktive Halbleiterschicht 3 ist ebenfalls freigelegt. Die Trenngraben-Abdeckung 9 wird so ohne eine zusätzliche Maske erhalten. Sie sichert die Sperrung einer potentiellen Oxidation der Verfüllmasse 5* ab, kann gleichzeitig lateral isolieren, und erstreckt sich zwischen den beiden Grabenwänden, ohne Zwischenlage einer der beiden vertikalen Abschnitte 4a, 4b der Isolierschicht 4.

Nicht dargestellt sind mehrere Schichten als Schichtenfolge an der Stelle der Einzelschicht 9 nach Figur 3f. Hier können einzelne Schichten bestimmte Eigenschaften aufweisen, um Ausdehnungsverhalten oder Getterfähigkeit von Ionen zu beeinflussen.

Wird nur eine Schicht 9 vorgesehen, die eine "Decke" des Grabens bildet, kann sie aus Siliziumnitrid gestaltet sein. Sie ist nicht sauerstoff-durchlässig und elektrisch ausreichend isolierend.

Die Abstimmung aus Verfüllsubstanz 5* und Abdeckschicht 9 sorgt für das Vermeiden einer Verbiegung der Halbleiterscheibe im weiteren Prozess. Der obere Bereich des verfüllten Grabens kann nicht oxidieren, so dass auch keine unterschiedlichen Ausdehnungskoeffizienten entstehen. Die Abstimmung der vertikalen Isolierschichten, der Verfüllschicht und der Decke erfolgt zielgerichtet.

Trotz dieser erreichten Stabilität und Prozesssicherheit wird eine Oberfläche F erzielt, die keine Stufen aufweist. Dies betrifft insbesondere den Grabenbereich und die benachbarten Zonen.

Es stört nicht, wenn die Verfüllsubstanz 5* elektrisch leitfähig ist, nachdem die dielektrischen Isolierschichten 4a,4b vorgesehen sind. Es stört auch nicht, dass diese Verfüllschicht oxidationsfähig ist, weil die Deckschicht 9 insoweit eine Sperre gegen Oxidationen in folgenden Hochtemperatur-Schritten bietet.

Zur Tiefe der Abtragung war bislang bei einem Übergang von Figur 3c zur Figur 3d erwähnt worden, dass die Tiefe des Grabens nur ansatzweise erreicht wird und das abgetragene Stück der Tiefe h7 und h9 nur ein geringes Volumen der Verfüllsubstanz 5* erfasst. Dies ist Folge einer sehr tiefen Grabenstruktur, die für hohe Isolationsfestigkeit und eine relativ starke aktive Halbleiterschicht steht. Die Tiefe des Grabens und die Breite des Grabens kann in einem Aspektverhältnis zusammengefasst werden. Dieses Aspektverhältnis liegt oberhalb von 10:1 (Tiefe zu Breite), insbesondere

oberhalb von 15:1. Mit anderen Worten handelt es sich um einen tiefen, schmalen Graben, was Figur 4 eindrucksvoll belegt.

5 In gleicher Weise war auch die Tiefe der zweiten Über-Ätzung zum Erhalt der Figur 3e bemessen. Hier wird auch nicht tiefer abgetragen als bis höchstens zur Hälfte der Grabentiefe, meist und bevorzugt aber viel früher, um die Stärke der Deckschicht nicht zu stark anwachsen zu lassen. Hier ist bevorzugt ein Maß von etwa $\frac{1}{4}$ der Grabentiefe oder weit weniger, bei Bemessung der Grabentiefe so, wie in Figur 3e oder Figur 4 dargestellt. Die Grabentiefe in der Figur 3d bemisst sich anders, nachdem hier nur
10 horizontale Isolierschichten vorgesehen sind, die aber in ihrer Erstreckung keine zu großen Auswirkungen haben, nur zur Verdeutlichung übertrieben dargestellt sind.

Die Dicke der Schicht 9 kann kleiner $1\mu\text{m}$ sein.

Bezugszeichen

- 1: Halbleiterscheibe (Substrat)
- 5 2: vergrabene isolierende Schicht, z.B. SiO₂
- 3: bauelementetragende aktive Halbleiterschicht(en)
- 10 4: isolierende Schicht, z.B. SiO₂ (als Schichtabschnitte 4a;4b)
- 5: Füllschicht, z.B. Polysilizium, u.U. leitend
- 15 6: aktiver Siliziumbereich auf Potential 1
- 7: aktiver Siliziumbereich auf Potential 2
- 8: Oxidschicht (Pad Oxid)
- 20 9: Abdeckung des isolierenden Trenngrabens, z.B. Si₃N₄
- F: Oberfläche (planare)
- 25

.

Ansprüche:

1. **Verfahren zur Herstellung** einer Prozess-Scheibe für Schaltkreise, in denen Niederspannungselemente und Hochspannungselemente integriert sind, wobei
- 5 Chipbereiche (6,7) unterschiedlicher Potentiale durch dielektrisch isolierende Gebiete (T) voneinander getrennt sind, indem von einer planaren Oberfläche (F) ausgehende Trenngräben vorgesehen sind oder werden, wobei zumindest einer davon im Grabenbereich ein unter sauerstoffhaltiger Atmosphäre bei erhöhter Temperatur oxidierendes Material erhält oder enthält, mit einer Abfolge von
- 10 Hauptarbeitsgängen **nach** einer Erzeugung von zumindest zwei vertikalen Isolierschichten (4a,4b) und einer horizontalen Isolierschicht (4a',4b');
- Füllen des zumindest einen Trenngrabens mit einer Verfüllsubstanz (5), bis eine tiefste Einsenkung (5c) einer an der Oberfläche gebildeten Verfüllsubstanzschicht (5',5'') an ihrer Oberseite über einem Niveau der durch
- 15 die Isolierschichten (4) gebildeten planaren Oberfläche zu liegen kommt;
- erste Planarisierung der Verfüllsubstanzschicht (5);
- Abtragen eines ersten Stücks der eingefüllten Verfüllsubstanz im Grabeninneren – als eine vertikale Verfüllschicht (5*) – durch ein erstes Überabtragen bis in eine definierte Tiefe (h7);
- 20 - Abtragen eines Stücks der Isolierschichten (4a,4b,4a',4b') und weiteres Überabtragen eines weiteren Stücks der Verfüllschicht (5*), um ein annähernd gleiches Höhenniveau (h10) der Schichten (4;4a,4b;5) im Trenngraben zu erhalten oder zu erreichen;
- Abscheidung einer Abdeckschicht oder eines Schichtsystems als Decke (9)
- 25 mit einer Dicke, welche über das Niveau der planaren Oberfläche (F) hinausragt und nach unten bis zum annähernd gleichen Höhenniveau im Graben reicht;
- weitere Planarisierung der Decke (9) durch ein mechanisch-chemisches Polieren oder einen Lackplanarisierungs-Prozess.
- 30
2. Verfahren nach Anspruch 1, wobei die Decke (9) eine sauerstoff-un-durchlässige Abdeckung als Schichtsystem ist, insbesondere aus mehreren übereinander liegenden Schichten.
- 35
3. Verfahren nach Anspruch 1, wobei eine sauerstoffundurchlässige Decke (9) als eine Schicht aus Siliziumnitrid aufgetragen wird.

4. Verfahren nach Anspruch 1 oder 2, wobei die Decke (9) nicht sauerstoff-durchlässig ist und die sauerstoffundurchlässige Decke zumindest eine Schicht mit einer anderen speziellen Eigenschaft aufweist, wie ein bestimmter Ausdehnungskoeffizient oder eine Getterfähigkeit von Ionen.
5. Verfahren nach Anspruch 1, wobei die Prozess-Scheibe eine SOI-Scheibe ist, mit einer vergrabenen Isolierschicht (2) auf einer Trägerschicht (1).
6. Verfahren nach Anspruch 1, wobei die Füllung (4,5*) des zumindest einen Trenngrabens (5a) mit der Abdeckung (9) so abgestimmt sind, dass eine Verbiegung der Halbleiterscheibe bei der weiteren Prozessierung reduziert, insbesondere minimiert wird.
7. Verfahren nach Anspruch 1, wobei die Oberflächen der Decke (9) und der freigelegten Chipbereiche (6,7) für Niederspannungs- und Hochspannungselemente eine durchgehende Ebene bilden (F), welche insbesondere keine Stufen im Grabenbereich (T) und daneben aufweist.
8. Verfahren nach Anspruch 1, wobei die Isolierschichten (4;4a,4b,4a',4b') durch eine thermische Oxidation aufgebracht werden.
9. Verfahren nach Anspruch 1, wobei die Verfüllsubstanz (5;5', 5'',5*) ein Polysilizium ist.
10. Verfahren nach Anspruch 1, wobei das gemeinsame Abtragen der Isolierschichten (4a,4b,4a',4b') und der vertikalen Verfüllschicht (5*) im definierten Ausmass einer Tiefenabtragung durch ein Ätzen erfolgt, insbesondere auf einer gesamten Grabenbreite (b9).
11. Verfahren nach Anspruch 1, wobei für die Verfahrensschritte des Anspruchs 1 nur eine Maske für die Herstellung des zumindest einen Grabens (5a) verwendet wird.
12. Verfahren nach Anspruch 1, wobei das erste und das zweite Abtragen der im Grabeninnern als Verfüllschicht (5*) gelegenen Verfüllsubstanz ein definiertes Rückätzen ist.

13. Verfahren nach Anspruch 1, wobei die in den Graben abgesenkte Decke (9) eine vertikale oder lateral wirkende Isolation bildet, über eine gesamte Grabenbreite (b9) hinweg.
- 5 14. Verfahren nach Anspruch 1, wobei die Decke (9) dielektrisch isolierend ist.
15. Verfahren nach Anspruch 1, wobei die Niederspannungs-Elemente Logikelemente sind.
- 10 16. Verfahren nach Anspruch 1 oder 15, wobei die Hochspannungs-Elemente Leistungselemente sind.
17. Verfahren nach Anspruch 1, wobei die Elemente in einer aktiven Halbleiterschicht (3) gelegen sind, bzw. dort eingebracht werden.
- 15 18. Verfahren nach Anspruch 1 oder 17, wobei die aktive Halbleiterschicht (3) horizontal verläuft und in vertikaler Richtung unterseitig durch eine vergrabene Isolierschicht (2) begrenzt ist.
- 20 19. Verfahren nach Anspruch 1, wobei zumindest ein Trenngraben (T,5a) in eine aktive Halbleiterschicht (3) bis zu deren unterem Ende an einer vergrabenen Isolierschicht (2) eingebracht wird.
- 25 20. Verfahren nach Anspruch 1, wobei die Verfüllsubstanz (5*) elektrisch leitfähig ist, insbesondere ein Polysilizium, oder (leicht) oxidierfähig ist.
- 30 21. Verfahren nach Anspruch 1, wobei beim ersten Abtragen (Überabtragen) der Verfüllsubstanz im Grabeninneren (5a) das Abtragen nicht tiefer (h7) als bis zur Hälfte der Grabentiefe erfolgt, insbesondere nur etwa $\frac{1}{4}$ der Grabentiefe oder weniger beträgt.
- 35 22. Verfahren nach Anspruch 1 oder 21, wobei beim weiteren Abtragen (Überabtragen) nicht tiefer abgetragen wird (h9), als bis zur Hälfte der Grabentiefe, insbesondere nur etwa $\frac{1}{4}$ der Grabentiefe oder weniger.
23. Verfahren nach Anspruch 1, wobei die Grabentiefe (h0) in der aktiven Halbleiterschicht (3) größer als $1\mu\text{m}$, insbesondere tiefer als $10\mu\text{m}$ oder im wesentlichen $50\mu\text{m}$ ist.

24. Verfahren nach Anspruch 1 oder 23, wobei der zumindest eine Trenngraben (5a) ein Aspektverhältnis von Tiefe zu Breite besitzt, welches oberhalb von 10:1, insbesondere oberhalb von etwa 15:1 gelegen ist.
- 5 25. Verfahren nach Anspruch 1 oder 19, wobei die vertikalen Isolierschichten (4a,4b) auf beiden Grabenwänden bis hinab zur horizontalen Isolierschicht (2) aufgebracht werden bzw. schon aufgebracht sind, wenn die Haupt-Arbeitsschritte des Anspruchs 1 beginnen.
- 10 26. **Prozessscheibe** (1,2,3), herstellbar oder hergestellt nach einem der vorigen Verfahrensansprüche.
- 15 27. **Verfahren** zur Behandlung einer SOI-Scheibe (1,2,3) und Einbringen von dielektrisch isolierenden Trenngräben (5a,T) zwischen jeweils zwei unterschiedlichen Potentialen (P1,P2) zugeordneten Bereichen (6,7) der aktiven Halbleiterschicht der SOI-Scheibe, wobei in eine eingebrachte Grabenstruktur (5a) lateral an deren Wände Isolierschichten aufgebracht werden (4a,4b), ein entstehender Grabenzwischenraum mit einer Füllschicht (5*) verfüllt wird, die Füllschicht (5*) ein Stück weit in Grabentiefe (h9,h7) abgetragen wird, zusammen mit einem Stück der lateralen Wandisolation (4a,4b), um ein annähernd gleiches Höhenniveau (h10) der oberen Enden der drei im Graben vorhandenen Schichten zu erhalten, und Abscheiden einer Deckschicht (9) auf zumindest die oberen Enden und ein Umfeld der aktiven Halbleiterschicht (3) mit Abtragen (Planarisieren) dieser Deckschicht bis auf eine lateral sich erstreckende plane Oberfläche (F) oberhalb des verfülltem Grabens und zumindest in einem beidseitigen Nachbarbereich, zur Freilegung der Halbleiterschicht (3) neben dem jeweiligen Isoliergraben.
- 20 25 30 28. **Zumindest teilweise bearbeitete SOI-Scheibe** für eine weitere Prozessierung, mit einer Grabenstruktur (T), bei der im Innern des Grabens eine isolierende Schichtenfolge aus vertikal orientierten ersten Schichten (5*,4a,4b) vorhanden ist, die oberseitig von einer sich lateral bis zu den und an die Wände des Grabens erstreckenden zweiten Schicht (9), unter Bildung einer planaren Oberfläche der SOI-Scheibe, bedeckt sind (F), wobei sich zwei der ersten Schichten (4a,4b) bis zu einer vergrabenen Isolierschicht (2) der SOI-Scheibe herab erstrecken.
- 35

29. Verfahren nach Anspruch 1 oder 11, wobei die Decke (9) ohne eine Maske hergestellt wird.

30. ...

5
31. **Verfahren zur Herstellung** von Schaltkreisen, in denen Niederspannungslogikelemente und Hochspannungsleistungselemente integriert sind, wobei die Chipbereiche unterschiedlicher Potentiale durch dielektrisch isolierende Gebiete voneinander getrennt sind, indem von der planaren
10 Oberfläche ausgehende Trenngräben im Grabenbereich unter sauerstoffhaltiger Atmosphäre bei erhöhten Temperaturen oxidierende Materialien enthalten, **gekennzeichnet durch** die Abfolge der folgend aufgeführten Hauptarbeitgänge nach Erzeugung der Isolierschichten (4):

- Füllen des Trenngrabens mit der Verfüllsubstanz (5) bis die tiefste
15 Einsenkung der Verfüllsubstanzschicht an ihrer Oberseite über dem Niveau der durch die Oxidschicht (4) gebildeten planaren Oberfläche zu liegen kommt;
- Planarisierung der Füllsubstanz (5);
- Abtrag der Füllsubstanz im Grabeninneren durch Überätzen bis in eine
20 definierte Tiefe;
- Abätzen der Oxidschichten (4) und Überätzen der Füllsubstanz (5), so daß ein annähernd gleiches Höhenniveau der Schichten (4) und (5) im Trenngraben entsteht;
- Abscheidung der Abdeckschicht (9), bzw. eines Schichtsystems in einer
25 Dicke, welche über das Niveau der planaren Oberfläche hinausragt;
- Planarisierung der Abdeckschicht, bzw. Schichtsystems durch mechanisch-chemisches Polieren oder einen Lackplanarisierungsprozeß.

32. Verfahren nach Anspruch 31, **dadurch gekennzeichnet**, dass die
30 sauerstoffundurchlässige Abdeckung ein Schichtsystem ist, d.h. aus mehreren übereinander liegenden Schichten besteht, wobei die sauerstoffundurchlässige Schicht mit Schichten anderer spezieller Eigenschaften, wie z.B. mit bestimmten Ausdehnungs-koeffizienten und Getterfähigkeit von Ionen kombiniert ist.

35 33. Verfahren nach Anspruch 31, **dadurch gekennzeichnet**, dass die sauerstoffundurchlässige Abdeckung eine Schicht aus Siliziumnitrid ist.

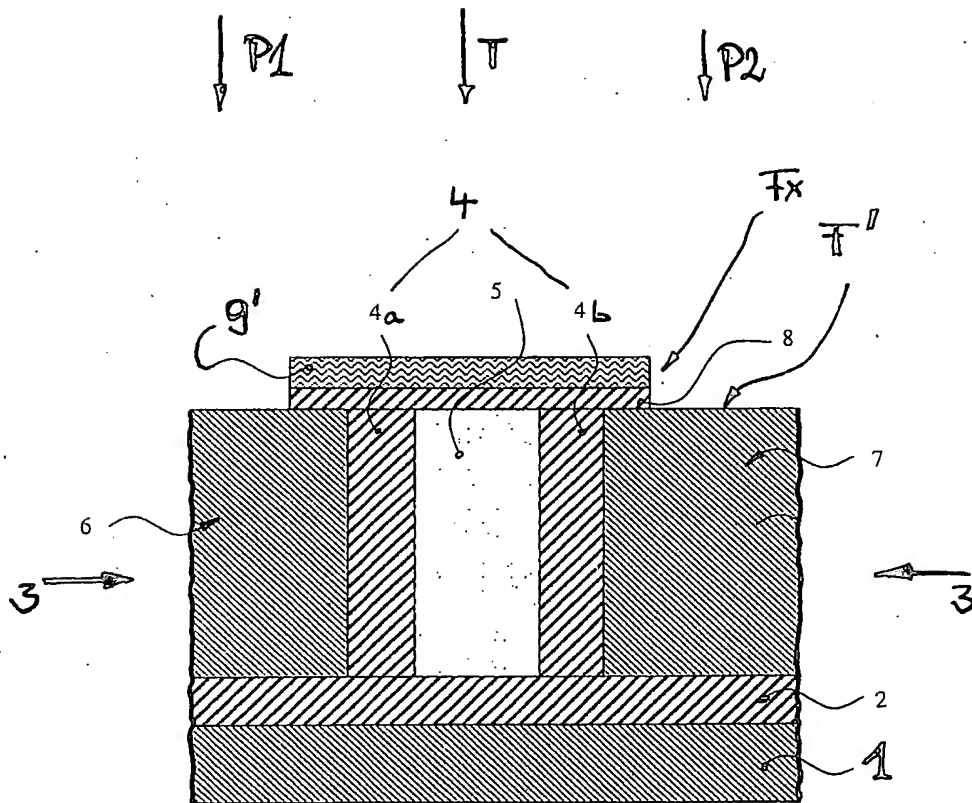


Fig. 1
(prior art;
Stand der
Technik)

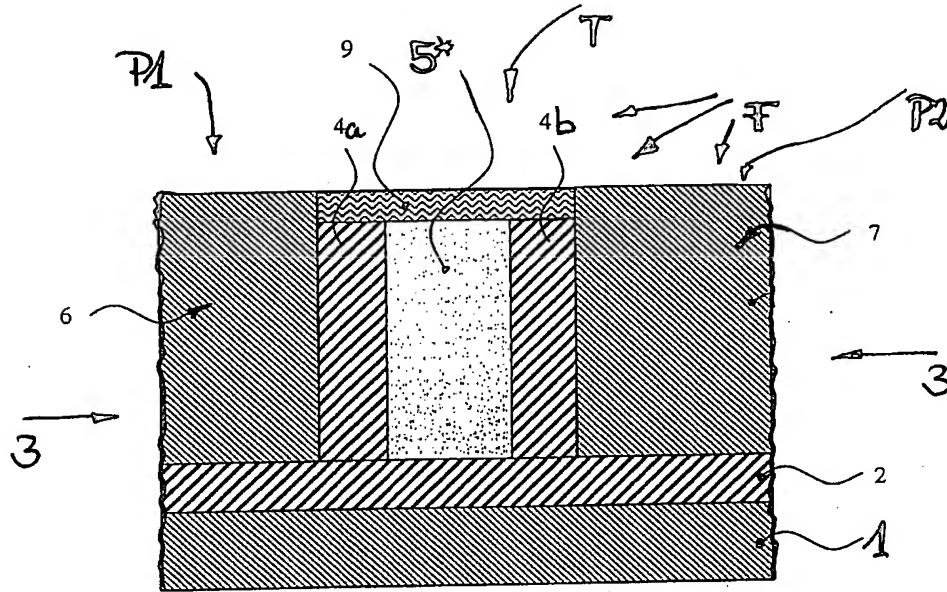


Fig. 2

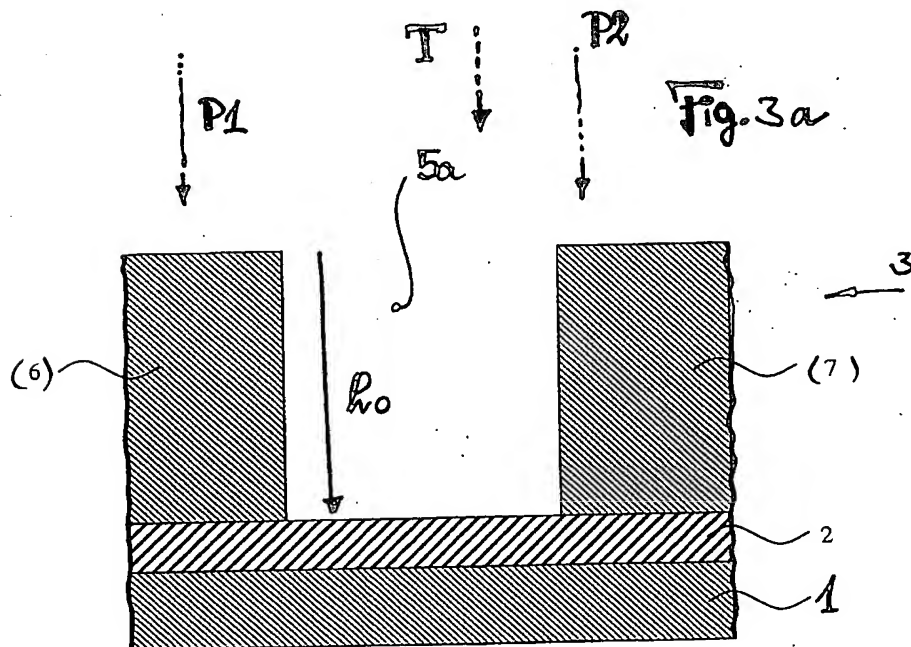


Fig. 3a

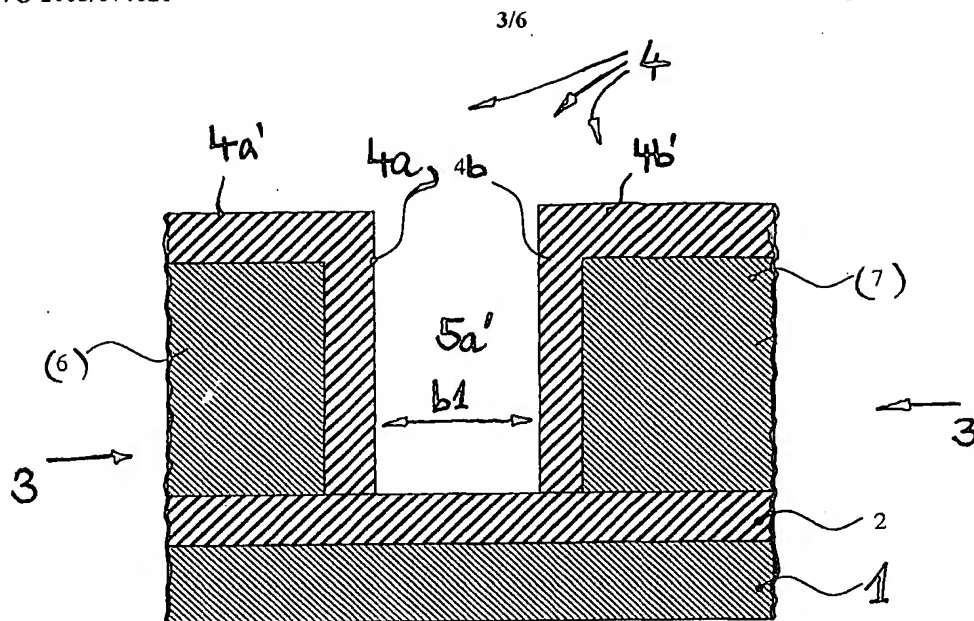
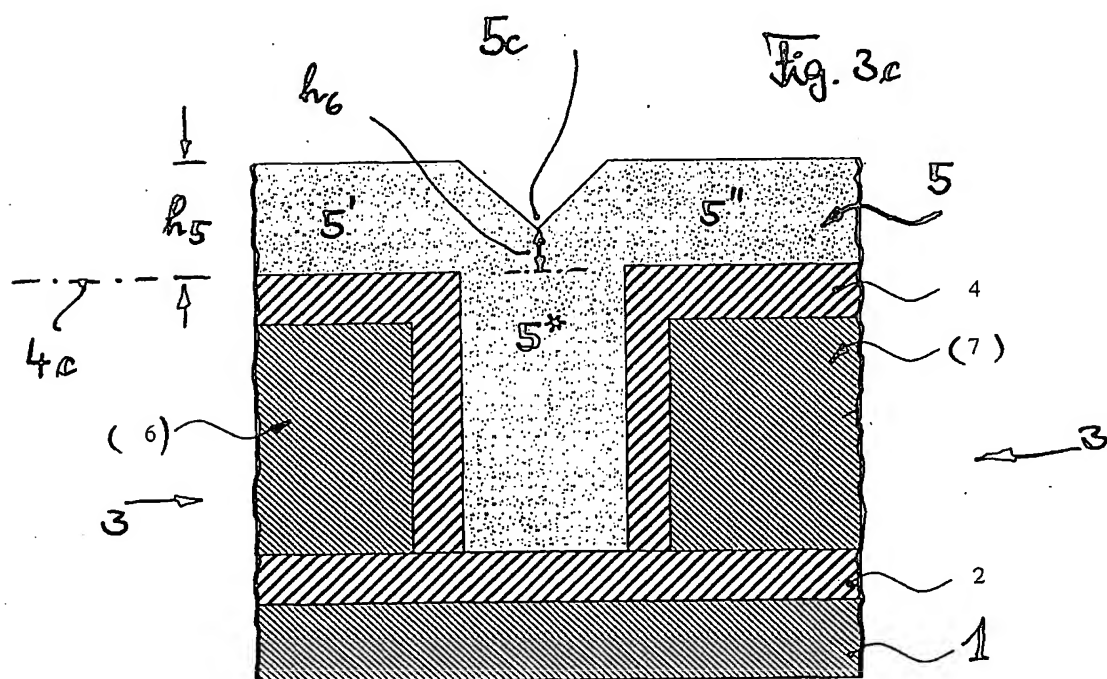


Fig. 3b



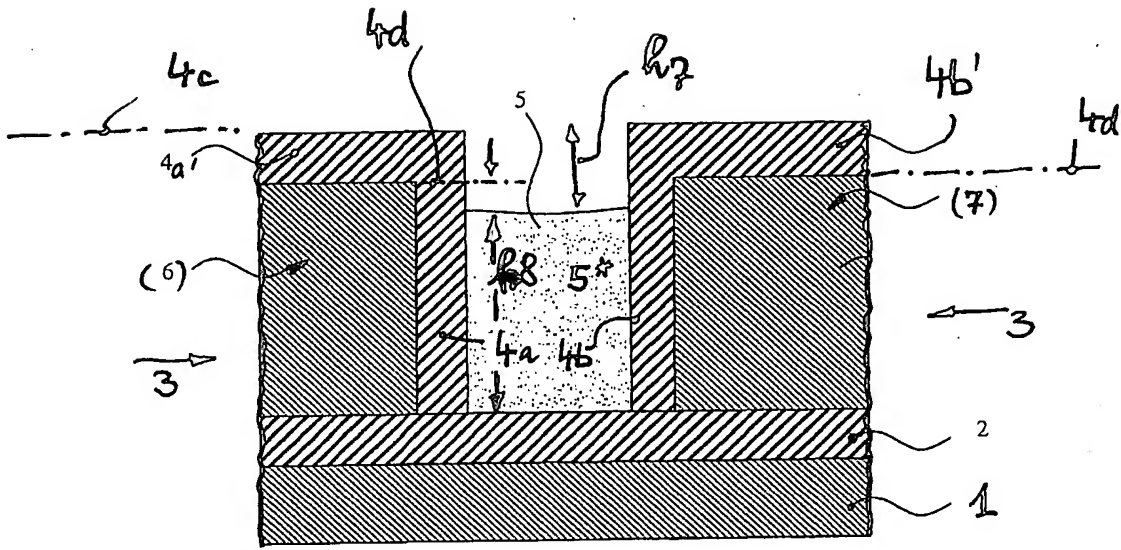
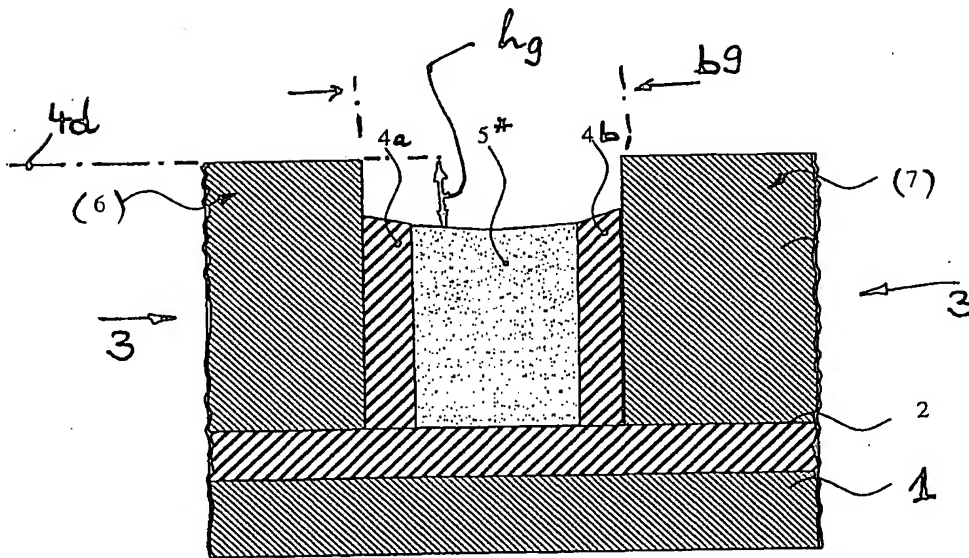


Fig. 3d

Fig. 3e



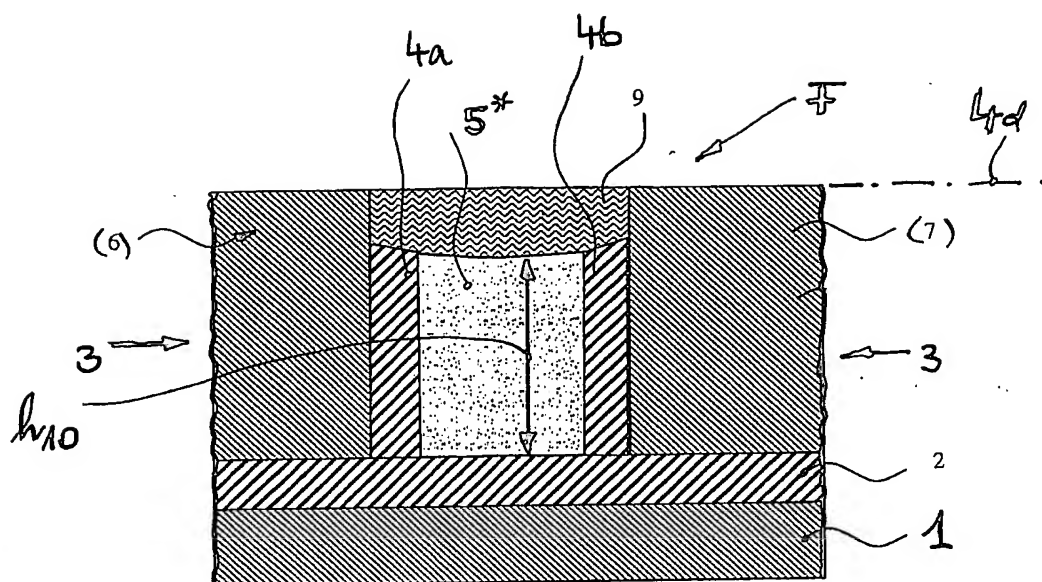
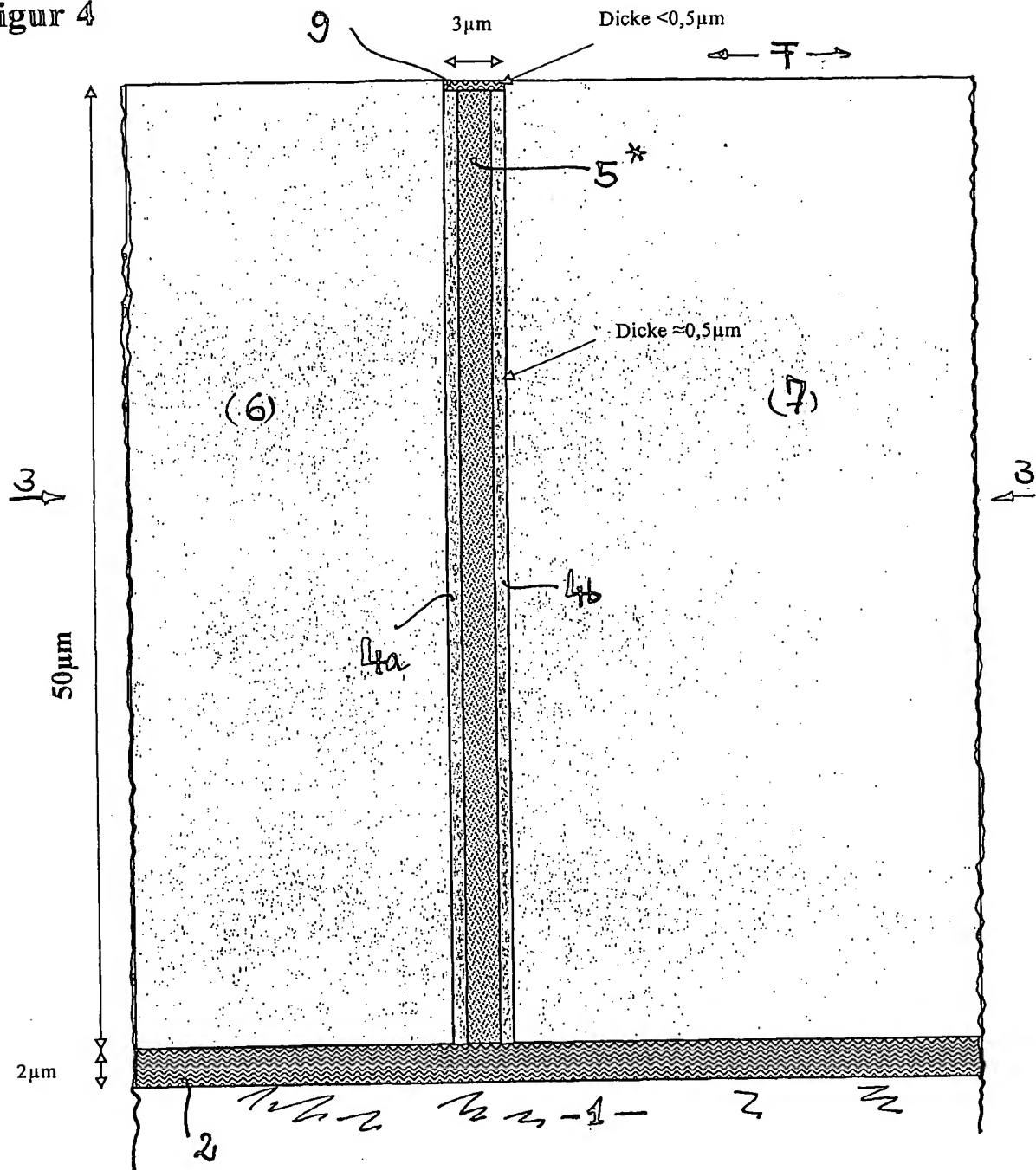


Fig. 3f

Figur 4



INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE2005/000145

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L21/762 H01L21/763

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ, INSPEC, IBM-TDB

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5 440 166 A (DIXIT ET AL) 8 August 1995 (1995-08-08) abstract; claims; figures 3-6 column 2, line 56 - column 3, line 22 -----	1-33
Y	US 2002/076874 A1 (COOLBAUGH DOUGLAS D ET AL) 20 June 2002 (2002-06-20) abstract; claims; figures 2B-2E paragraph '0030! - paragraph '0032! -----	1-33
Y	US 2002/119639 A1 (RIDLEY RODNEY S ET AL) 29 August 2002 (2002-08-29) abstract; claims; figures 2-6 paragraphs '0021!, '0022!, '0026! ----- -/--	1-33

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *&* document member of the same patent family

Date of the actual completion of the international search

12 May 2005

Date of mailing of the international search report

20/05/2005

Name and mailing address of the ISA
European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Wirner, C

INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE2005/000145

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2002/072198 A1 (AHN DONG-HO) 13 June 2002 (2002-06-13) abstract; claims; figures 6-10	1,7-14, 17, 20-24, 26-29,31
Y	US 5 581 110 A (RAZOUK ET AL) 3 December 1996 (1996-12-03) abstract; claims; figure 15	2-6,15, 16,18, 19,25, 32,33
A	US 4 795 721 A (BOWER ET AL) 3 January 1989 (1989-01-03) abstract; claims; figure 3	1-33

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE2005/000145

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5440166	A	08-08-1995	US 5244827 A DE 69232041 D1 DE 69232041 T2 EP 0540277 A2 JP 6236919 A	14-09-1993 11-10-2001 18-04-2002 05-05-1993 23-08-1994
US 2002076874	A1	20-06-2002	CN 1303129 A ,C GB 2362508 A ,B IL 138134 A JP 3516916 B2 JP 2001185634 A TW 516204 B	11-07-2001 21-11-2001 10-12-2003 05-04-2004 06-07-2001 01-01-2003
US 2002119639	A1	29-08-2002	WO 02069394 A1	06-09-2002
US 2002072198	A1	13-06-2002	KR 2002045401 A JP 2002203895 A	19-06-2002 19-07-2002
US 5581110	A	03-12-1996	WO 9602070 A2 US 5911109 A	25-01-1996 08-06-1999
US 4795721	A	03-01-1989	AT 78363 T DE 3586341 D1 DE 3586341 T2 EP 0172878 A1 JP 6101470 B JP 61501119 T WO 8503597 A1 US 4803176 A US 4749661 A US 4733287 A	15-08-1992 20-08-1992 04-02-1993 05-03-1986 12-12-1994 29-05-1986 15-08-1985 07-02-1989 07-06-1988 22-03-1988